ULISES V5000i V2.6.X

Norma Hardware

CD40–CGW–N021A. CPU de Gateway

N021A-CGW.NORMA ****

REGISTRO Y CONTROL DEL DOCUMENTO

|  |  |
| --- | --- |
| Proyecto / Equipo | ULISES V5000i V2.6.X |
| **Documento** | CD40–CGW–N021A. CPU de Gateway |
| **Referencia** |  |
| **Código** | N021A-CGW.NORMA |
| **Fecha** | 03/11/2012 |

|  |  |  |  |
| --- | --- | --- | --- |
| Elaborado  Antonio Lozano | Visado | Visado | Aceptado |
| Firma: | Firma: | Firma: | Firma: |
| Fecha: | Fecha: | Fecha: | Fecha: |

REGISTRO DE MODIFICACIONES

|  |  |  |  |
| --- | --- | --- | --- |
| **R** | **Fecha** | **Descripción** | **Autor** |
| 1 | 28/11/2009 | Versión Inicial | Antonio Lozano |
| 2 | 03/11/2012 | Nuevas opciones de prueba en el menú principal de la aplicación de test de tarjetas | Antonio Lozano |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

Lista de Distribución

|  |  |  |  |
| --- | --- | --- | --- |
| **N** | **Fecha** | **Nombre** | **Firma** |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

ÍNDICE

[1. Objeto. 8](#_Toc66109267)

[2. Alcance. 9](#_Toc66109268)

[3. Definiciones. 10](#_Toc66109269)

[4. Documentos referenciados 11](#_Toc66109270)

[5. Entorno de Prueba. 12](#_Toc66109271)

[5.1. Entorno de Prueba. 12](#_Toc66109272)

[6. Proceso de Pruebas. 13](#_Toc66109273)

[6.1. Pruebas de verificación. 13](#_Toc66109274)

[*6.1.1. Alimentaciones. 13*](#_Toc66109275)

[*6.1.2. Inspección visual del montaje. 13*](#_Toc66109276)

[6.2. Grabación del fichero en los dispositivos programables. 14](#_Toc66109277)

[6.3. Programa de verificación de Conectividad entre Elementos. 14](#_Toc66109278)

[6.4. Programa de verificación de la RAM del DSP. 19](#_Toc66109279)

[6.5. Programa de verificación de Conectividad en los adaptadores ETHERNET. 20](#_Toc66109280)

[7. Embalaje y Etiquetado. 21](#_Toc66109281)

[7.1. Embalaje Unitario. 21](#_Toc66109282)

[7.2. Embalaje Colectivo. 21](#_Toc66109283)

[8. Anexo A: INFORME DE PRUEBAS. 22](#_Toc66109284)

[9. Anexo B: ÚTIL DE PRUEBAS 23](#_Toc66109285)

[10. Anexo C: Ordenador tipo PC configurado para Norma\_N021 29](#_Toc66109286)

ÍNDICE DE FIGURAS

**No se encuentran elementos de tabla de ilustraciones.**

ÍNDICE DE TABLAS

**No se encuentran elementos de tabla de ilustraciones.**

# Objeto.

El objetivo de esta Norma es establecer el procedimiento de pruebas para las placas **CD40 – CGW – N021A** para asegurar la funcionalidad y prestaciones de las mismas conforme a especificaciones. Estas pruebas se someterán a todas y cada una de las placas de cada Lote de Fabricación.

# Alcance.

Todas las **CD40 – CGW – N021A** fabricadas y/o reparadas por NUCLEO CC, S.L., y/o sus subcontratistas, como paso previo a la integración de las mismas en el CD40, o como pieza de repuesto.

# Definiciones.

* USB: Universal Serial Bus/Bus serie universal.
* JTAG : (Joint Test Action Group) Es el nombre común para la Norma IEEE 1149.1 Norma que define un estándar para test de PCB. <http://es.wikipedia.org/wiki/JTAG>

# Documentos referenciados

Los documentos referenciados o relacionados con el documento actual son los siguientes:

|  |  |
| --- | --- |
| **Nº de Plano/Documento** | **Descripción** |
| 451N.021A.01-02.10.10.19.pdf | N019APOS.pcb Plano Posicional en formato pdf |
| 450N.021A.01-07.10.10.27.pdf | N019A.sch Plano esquemático en formato pdf |
| 4441.N021A.01 | Hoja de Instrucciones de Montaje de N021A formato pdf |
|  | Manual de Instalación de la Pasarela CD40 formato pdf |
|  | Manual de Calidad de NUCLEO CC, S.L. |
|  | Manual de Usuario de la Unidad N021A Formato pdf |

# Entorno de Prueba.

## Entorno de Prueba.

La realización de las pruebas a este nivel requiere de los siguientes elementos:

* Útil de Pruebas Unitarias **CD40 – IA4 – N021A**, descrita en el anexo C.
* Ordenador tipo PC configurado para soporte de esta Norma de Pruebas según se describe en el anexo D.
* Objeto binario a programar sobre el dispositivo U9 , Memoria Flash tipo XCF04S de Xilinx:

< m1B\_CGWED1\_021\_0.mcs*>*

* SW de PC, específico de pruebas de comprobación de Conectividad entre Elementos de la placa:

<jtag\_test\_N021A>

* SW de PC , específico para grabación de dispositivos "in-circuit" de Xilinx <Impact.exe>
* Herramienta de Programación "in-circuit" específica para el Software de Xilinx: JTAG Cable Model IJC-1 / Model IJC-2 ambas son válidas.
* Opcionalmente en parte de los Test puede usarse la Herramienta de Programación "in-circuit" Modelo USB-BLASTER de Altera. [No es imprescindible – Si aconsejable]
* Fuente de Alimentación de 24.0Vdc nominales, ±20%.
* Multimetro Digital tipo Fluke75 o similar.

# Proceso de Pruebas.

El proceso de prueba se compone de una serie de operaciones descritas a continuación. El operario que las realice cumplimentará el impreso del anexo A con el resultado de las mismas. Una placa se considerará probada cuando haya superado satisfactoriamente las pruebas y así conste en el informe del anexo A.

Con carácter general se aplicarán los criterios de trazabilidad del Plan de Calidad, así como el tratamiento de no conformidades.

Durante todos los procesos se prestará especial atención, tanto internamente en NUCLEO como en sus subcontratistas, a la manipulación y almacenaje conforme al “Procedimiento para el control del almacenamiento, la manipulación, el embalaje y la expedición”, del Manual de Calidad.

En ningún caso se manipularán, apilarán o transportarán las placas sin extremar las precauciones mecánicas y ESD, empleando contenedores o bolsas adecuadas y las debidas precauciones en los operarios, sus herramientas e instalaciones.

A continuación se describen las pruebas, que deberán realizarse de forma secuencial:

## Pruebas de verificación.

Consisten en una serie de comprobaciones previas que requieren de ayuda de algunos elementos externos. Con ellas se persigue tener un punto de partida mínimo que garantice que todos los componentes son correctos (están montados adecuadamente) y están alimentados de forma adecuada.

### Alimentaciones.

Una sola vez, al comenzar un lote de pruebas, deberá procederse a:

* Se comprobará que todos los equipos están debidamente calibrados mediante la etiqueta con la fecha de calibración, y que tras su encendido superan sus autotest.
* Se comprobará con el voltímetro que la tensión de FA esta en el rango adecuado a la nominal del equipo a probar Vmin. a Vmáx. Vdc.

|  |  |
| --- | --- |
| * **V-1** | Comprobación del estado del entorno de pruebas. |

### Inspección visual del montaje.

Se comprobará visualmente que la unidad N019A bajo prueba está correctamente montada:

|  |  |
| --- | --- |
| * **V-2** | Inspección visual del tipo de componentes y su correcto posicionamiento. |

## Grabación del fichero en los dispositivos programables.

Las N021 disponen de U11 FPGA modelo XC3S500E dispositivo que necesita ser programado cada vez que entra la Alimentación de la Placa, para ello se ha previsto que el firmware resida en memoria externa no-volátil que inicialmente viene vacía, U16, XCF04S y que tiene que ser grabada “in-circuit”. El programa que hay que grabar es el siguiente:

< m1B\_CGWED1\_021\_0.mcs > sobre U16

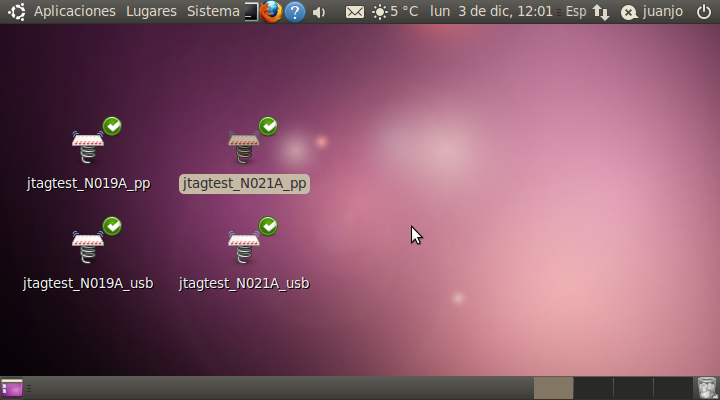
El procedimiento de grabación viene guiado en el propio software de grabación IMPACT de Xilinx. Para poder realizar dicha programación se asegurará que el jumper JP1 está quitado, es decir, OFF. Una vez se haya realizado la grabación con éxito del dispositivo U16 se procede a apagar el útil de test: POWEROFF

|  |  |
| --- | --- |
| * **V-3** | Grabación del fichero < m1B\_CGWED1\_021\_0.mcs > en el disposito U16 |

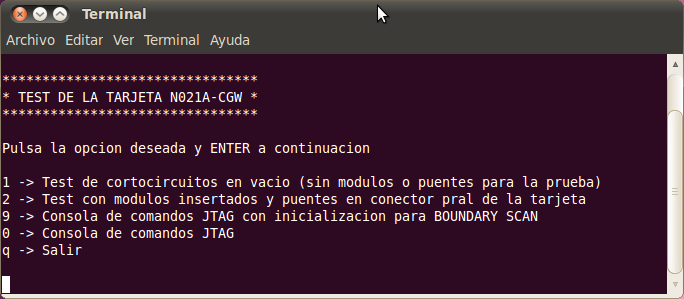
## Programa de verificación de Conectividad entre Elementos.

Una vez grabado el dispositivo programable U16 vamos a verificar la conectividad entre Elementos con la ayuda del PC de Pruebas mediante el programa <jtag\_test\_N021A>:

1. Desde el PC de pruebas ejecutar VMWARE y arrancar la máquina virtual: <Ubuntu Fabrica>
2. Una vez arrancada la máquina virtual <Ubuntu Fabrica> pinchar con el ratón en el usuario <Ubuntu Fabrica> e introducir la contraseña <fabrica1>.
3. Nota: En caso de utilizar los puertos USB es necesario activar desde VMWARE la asignación del puerto USB a la máquina virtual.
4. Ejecutar el Acceso Directo de Escritorio: <jtag\_test\_N021A\_pp> si se usa la herramienta de Programación JTAG Cable Model IJC-1 / Model IJC-2 o el acceso directo <jtag\_test\_N021A\_usb> usando la herramienta de programación USB-BLASTER de Altera.



1. Se abrirá una ventana como la que se muestra a continuación:

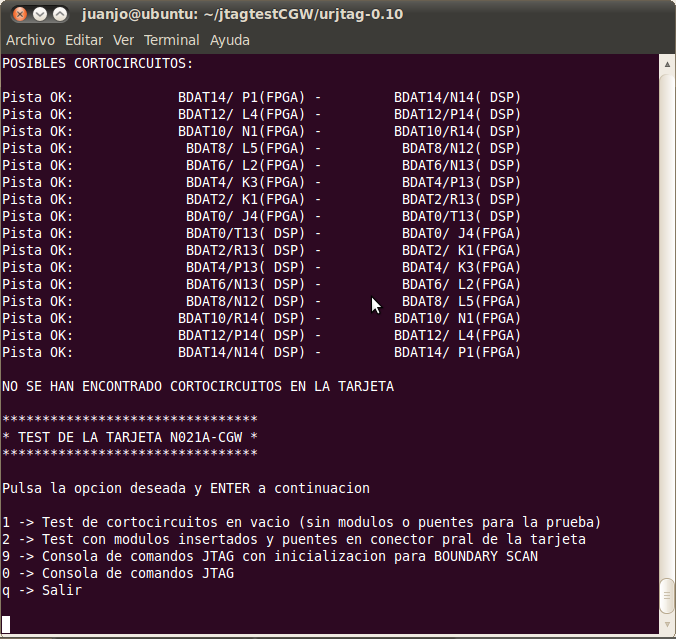


1. Comprobar que la configuración de jumpers es la siguiente:

JP1 ON: No permite que se programe la FPGA (U8) con la información de la memoria flash (U16).

JP2 OFF: Reset del DSP.

1. Conectar el puente de test P3\_TEST en P3.
2. Insertar la tarjeta bajo test en el slot destinado a la prueba en vacio del útil de pruebas.
3. Conectar la Herramienta de Programación sobre el conector P2 poniendo atención en la polaridad: pin\_1 (Vcc) a la derecha.
4. Encender la Fuente de Alimentación que alimenta al útil de pruebas.
5. Pulsar <1> y ENTER a continuación en la aplicación para iniciar el test de cortocircuitos en vacio.



1. Al finalizar el test, si todo es correcto, aparecerá el mensaje:

<NO SE HAN ENCONTRADO CORTOCIRCUITOS EN LA TARJETA>

Nota: Las pistas que aparecen como <Pista OK> se refieren a pistas internas que se consideran conexiones correctas.

|  |  |
| --- | --- |
| * **V-4** | Resultado del TEST de cortocircuitos en vacio. En caso de no ser correcto el resultado del test indicar los posibles cortocircuitos detectados por la aplicación de test. |

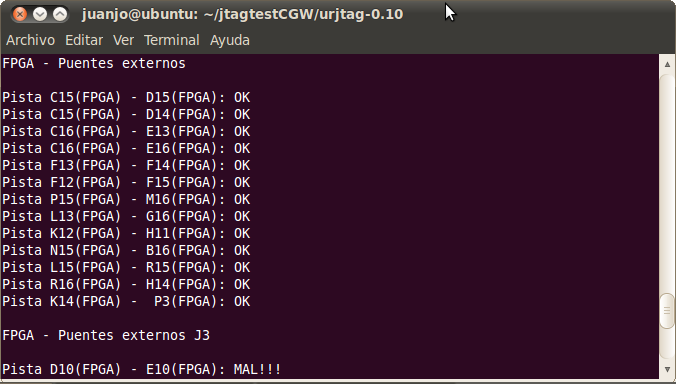
1. Una vez concluido la prueba de la tarjeta en vacio, verificaremos la conectividad entre pistas de la tarjeta. Para ello quitar la alimentación de la tarjeta y desconectar la sonda JTAG de P2 y extraer la tarjeta del slot.
2. Conectar los accesorios del útil de pruebas sobre la unidad bajo test: SML\_TEST, J3\_TEST y P3\_TEST.
3. Insertar la unidad bajo test en el slot de pruebas de conectividad con puentes del útil de prueba.
4. Conectar la Herramienta de Programación sobre el conector P2 poniendo atención en la polaridad: pin\_1 (Vcc) a la derecha.
5. Encender la Fuente de Alimentación que alimenta al útil de pruebas.
6. Pulsar <2> y ENTER a continuación en la aplicación para iniciar el test de conectividad.
7. Se abrirá una ventana como la que se muestra a continuación:



1. Aquí se comprabará el funcionamiento de algunos leds. Cuando se haya comprobado cada led, se podrá pasar a la siguiente comprobación pulsando la tecla <enter>.

|  |  |
| --- | --- |
| * **V-5** | Leds DL1-1, DL1-2, DL1-3, DL4-1 y DL4-2 |

1. Cuando se acabe la fase de comprobación de leds, comenzará a comprobar las pistas de la tarjeta. En el análisis de cada pista indica si hay conectividad entre un pin de un dispositivo y otro pin del mismo o de otro dispositivo. Por ejemplo, en la siguiente ventana se puede observar que el análisis de la primera pista del grupo <FPGA – Puentes externos> indica que hay conectividad (a través de los puentes realizados en el útil de pruebas) entre el pin C15 y el pin D15 de la FPGA.

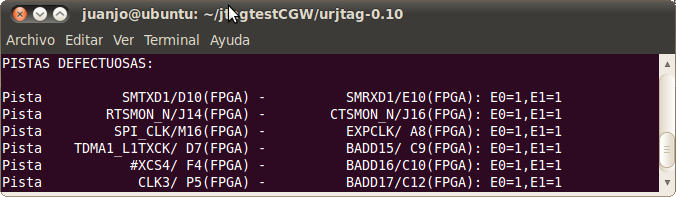


1. Al finalizar el test, si todo es correcto, aparecerá el mensaje:

**\*\*\* TEST CORRECTO \*\*\***

|  |  |
| --- | --- |
| * **V-6** | Resultado del TEST de conectividad. En caso de no ser correcto el resultado del test indicar las pistas defectuosas detectados por la aplicación de test. |

1. Si se han detectado fallos, al final aparecen las pistas defectuosas con información útil para una posible reparación de la tarjeta. Los estados E0 y E1 que aparecen al final de cada pista defectuosa indica respectivamente el estado leído cuando la salida es cero y cuando es uno. La primera señal es la que se utiliza como salida y la segunda como entrada en la comprobación de cada pista.



Existen otras dos opciones en el menú principal por si el usuario necesita actuar sobre las salidas y entradas de la FPGA por motivos, por ejemplo, de reparación, aunque se recomienda que no se usen si no se está seguro de lo que se está haciendo ya que se podría dañar algún dispositivo de la tarjeta.

## Programa de verificación de la RAM del DSP.

Para llevar a cabo esta verificación y partiendo de POWEROFF, vamos a proceder según los siguientes pasos:

1. Quitamos el Jumper JP1.
2. Desinstalamos el módulo SML\_TEST.
3. Acoplamos la unidad SML-481-Ed1 sobre los conectores J1 – J2.
4. Desmontamos el Conector P3\_TEST acoplado sobre P3. [ Conector de Depuración del DSP ]
5. Desmontamos el Conector J3\_TEST acoplado sobre J3 y en su lugar conectamos el cable de Puerto serie entre el PC de Pruebas y la unidad bajo Test, como se describe en el Anexo B.
6. En el PC de pruebas abrimos una ventana de conexión al puerto serie para interactuar con el Programa de Pruebas.
7. Alimentamos el Útil de Pruebas N021A y seguimos las instrucciones que aparezcan en la Ventana de Terminal descrita en el Paso 5.
8. Seleccionamos el Test de Verificación RAM DSP
9. Si la Verificación es correcta aparecerá un mensaje indicando dicho resultado.

|  |  |
| --- | --- |
| * **V-7** | Programa de verificación de la RAM del DSP |

## Programa de verificación de Conectividad en los adaptadores ETHERNET.

Partiendo del paso anterior, y desde la Ventana de Terminal descrita en el paso 5

1. Seleccionamos el Test de Conectividad del adaptador de Ethernet #1: U14
2. Si la Verificación es correcta aparecerá un mensaje indicando dicho resultado.
3. Seleccionamos el Test de Conectividad del adaptador de Ethernet #2: U12
4. Si la Verificación es correcta aparecerá un mensaje indicando dicho resultado.

|  |  |
| --- | --- |
| * **V-8** | Test de Conectividad del adaptador de Ethernet #1: U14 |

|  |  |
| --- | --- |
| * **V-9** | Test de Conectividad del adaptador de Ethernet #2: U12 |

# Embalaje y Etiquetado.

Todos los materiales con carácter general deben almacenarse conforme al “Procedimiento para el control del almacenamiento, la manipulación, el embalaje y la expedición”, del Manual de Calidad.

Con carácter específico se seguirán las siguientes recomendaciones.

## Embalaje Unitario.

Concluidas las verificaciones, las tarjetas se embalarán unitariamente en bolsa de plástico antiestática de burbujas, etiquetándose exteriormente con los datos del código correspondiente, 0090.xxxx.x, versión V, fecha lista de materiales con que fue fabricado, o información de lote y trazabilidad equivalente.

## Embalaje Colectivo.

Los elementos embalados unitariamente pueden agruparse colectivamente en embalajes de cartón, junto con copia de los registros de prueba.

El colectivo se etiquetará con la información unitaria, más el número, o números de serie de los elementos embalados.

# Anexo A: INFORME DE PRUEBAS.

Se rellenarán tantas hojas como sea necesario por cada lote de fabricación, con la información siguiente, siendo cada columna la correspondiente a un número de serie único de placa:

**O.F. LOTE: CANTIDAD: CÓDIGO:**

**FECHA INICIAL: FECHA FINAL: PAGINA 1/1**

**OPERADOR:**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Num. Serie | Num. Serie | … | … | … | Num. Serie |
| Test |  |  |  |  |  |  |
| V-1 |  |  |  |  |  |  |
| V-2 |  |  |  |  |  |  |
| V-3 |  |  |  |  |  |  |
| V-4 |  |  |  |  |  |  |
| V-5 |  |  |  |  |  |  |
| V-6 |  |  |  |  |  |  |
| V-7 |  |  |  |  |  |  |
| V-8 |  |  |  |  |  |  |
| V-9 |  |  |  |  |  |  |

X=CORRECTO, F=DEFECTO. El defecto se indicará a continuación de la (F) en las observaciones.

**OPERADOR**

**FECHA: FIRMA SELLO DE EMPRESA**

# Anexo B: ÚTIL DE PRUEBAS

El útil de pruebas consta de:

1. Una bandeja con dos slots con guias para insertar la tarjeta que se vaya a probar. Cada uno de los dos slots acabará en un conector DIN41612 donde se insertará la tarjeta.

El primer slot se usará para la prueba en vacio de la tarjeta y el segundo stot para la prueba con puentes.

2.- Módulo SML\_TEST que habrá que insertar en los conectores de acoplamiento de la SML J1 y J2. La configuración de señales conectadas a través de la SML\_TEST se relacionan en la Tabla 2.2.

3.- Conector P3\_TEST con un puente que se ha de insertar en el conector P3 de la tarjeta.

4.- Conector J3\_TEST con puentes que se ha de insertar en J3 para la prueba de conectividad.

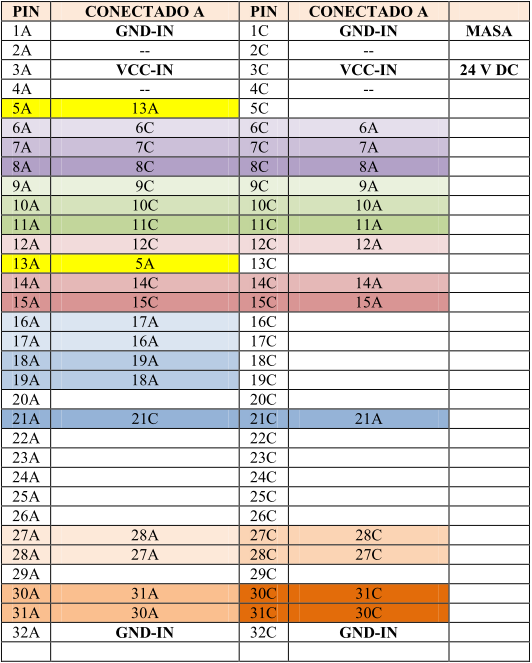
5.- Módulo SML-481-Ed1 con el software instalado para pruebas.

El cableado que hay que realizar en el conector DIN41612 del slot destinado a la prueba en vacio es el siguiente:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **PIN** | **CONECTADO A** | **PIN** | **CONECTADO A** |  |
| 1A | **GND-IN** | 1C | **GND-IN** | **MASA** |
| 3A | **VCC-IN** | 3C | **VCC-IN** | **24 V DC** |
| 32A | **GND-IN** | 32C | **GND-IN** |  |

**Tabla 2.1 Cableado en el conector P1 del Útil de Pruebas**

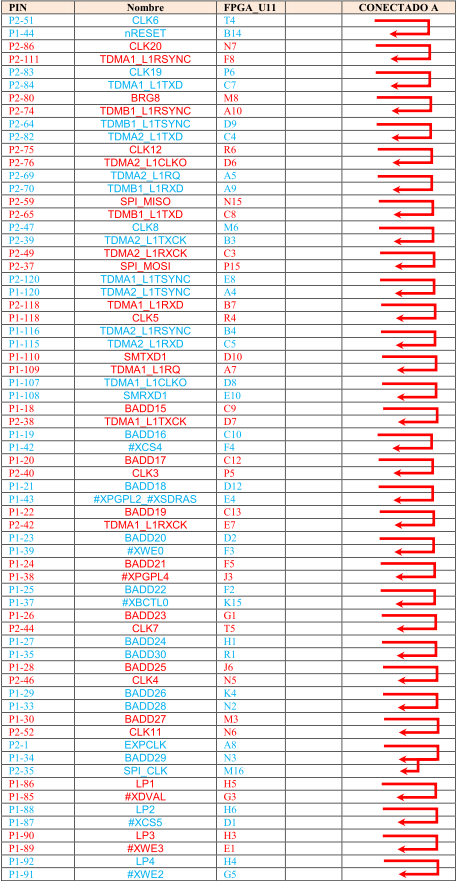
Y el cableado que hay que realizar en el conector DIN41612 del slot destinado a la prueba de conectividad es el siguiente:

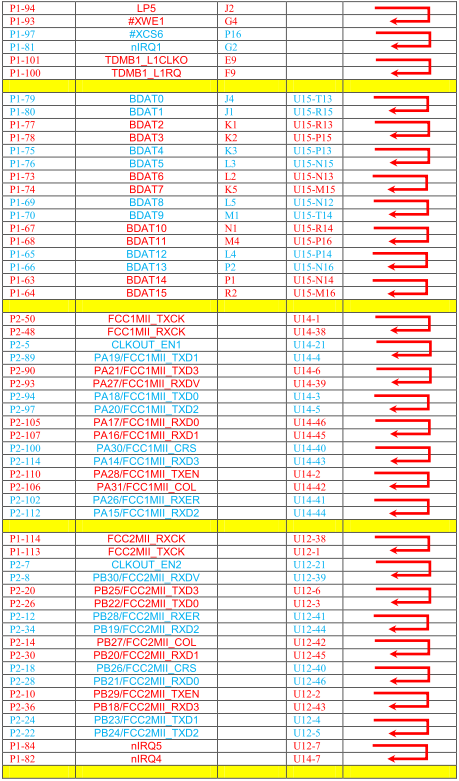
****

Las señales a verificar mediante puentes externos son las siguientes:



A continuación mostramos el cableado del módulo SML\_TEST:





**Tabla de Conexiones de la Unidad Auxiliar de Test SML\_TEST\_N021A:**

**P1 conecta con J1 de la N021A. P2 conecta con J2 de la N021A.**

El cableado del conector que irá insertado en J3 es:

|  |  |  |  |
| --- | --- | --- | --- |
| **PIN** | | | **Puente\_Externo** |
| J3-2 | TXD\_CONSOLA –SMTXD1– | J3-7 | J3-2/J3-7 |
| J3-7 | RXD\_CONSOLA –SMRXD1– | J3-2 |
| J3-8 | nRTS\_CONS –RTSMON\_N – | J3-3 | J3-8/J3-3 |
| J3-3 | nCTS\_CONS –CTSMON\_N – | J3-8 |

El cableado del conector que irá insertado en P3 es:

|  |  |  |  |
| --- | --- | --- | --- |
| **PIN** | | **Puente\_Externo** | |
| P3-2 | U15-J4 nTRST –Reset TAP Active Low– | P3-5 | P3-2/P3-5 |
| P3-5 | +3V3 | P3-2 |

El cableado del Puerto Serie de interconexión entre PC de pruebas y Unidad Bajo Prueba:

|  |  |  |  |
| --- | --- | --- | --- |
| **SUB-D 9-HEMBRA** | | **Conector Mini-DIN** | |
| Pin 2 | RXD\_PC | Pin 2 | TXD\_CONSOLA |
| Pin 3 | TXD\_PC | Pin 7 | RXD\_CONSOLA |
| Pin 5 | GND | Pin 5 | GND |

# Anexo C: Ordenador tipo PC configurado para Norma\_N021

Las características que debe cumplir el ordenador descrito en este anexo son:

- Procesador Intel Pentium4/AMD Athlon 64 o superior

- Mínimo 1G RAM

- 4G de espacio en disco duro

- Sistema Operativo: Windows XP/Vista/7

- Puerto USB 2.0 o puerto paralelo según el tipo de convertidor JTAG usado.

- Cuenta habilitada con permiso de Administrador

Software a Instalar en este ordenador:

* VM\_WARE versión 7.1.0 o superior.
* Máquina virtual <Ubuntu Fabrica> para VM\_WARE que contiene el sistema operativo Linux Ubuntu y la aplicación de test de tarjetas a través del puerto JTAG. Esta máquina virtual será proporcionada por I+D (Dirección Técnica).